

## ⑫ 公開特許公報(A) 平1-258472

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月16日

H 01 L 29/78

3 0 1

P-8422-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑰ 特 願 昭63-86900

⑱ 出 願 昭63(1988)4月8日

⑲ 発 明 者 岸 本 幹 夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑲ 発 明 者 柁 谷 敦 宏 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
 ⑲ 代 理 人 弁理士 森 本 義 弘

## 明 細 書

## 1. 発明の名称

MOS型半導体装置の製造方法

## 2. 特許請求の範囲

1. MOS型半導体装置のポリシリコンからなるゲート電極の側壁部を耐酸化性被膜で覆った後、熱酸化を行うMOS型半導体装置の製造方法。

2. ゲート電極の側壁部を耐酸化性被膜で覆う工程として、ポリシリコンからなるゲート電極上に耐酸化性被膜を形成したのち、上記耐酸化性被膜を所望形状にエッチングする請求項1記載のMOS型半導体装置の製造方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、MOS型半導体装置の製造方法に関するものである。

## 従来の技術

近年、低消費電力の要求からMOS型半導体装置が多く利用されるようになってきた。一方、集

積回路の集積度が増加するにつれて半導体装置の寸法を小さくすることが求められているが、MOS型半導体装置のゲート長を短かくしていくと、いわゆるショートチャンネル効果が生じ、半導体装置のしきい値電圧が著しく低下することが知られており、ゲート電極の寸法制御が重要となってきた。

以下に従来のMOS型半導体装置の製造方法について説明する。第2図(a)、(b)は従来のMOS型半導体装置の製造方法の一部分の工程断面図であり、11はシリコン基板、12は素子分離領域、13は拡散層、14はゲート酸化膜、15はポリシリコン膜、16はレジスト膜、18は酸化されたポリシリコン膜である。

まず、シリコン基板11に既知の技術にて厚い酸化膜の素子分離領域12を形成する。次にシリコン基板11の中にイオン注入を行い、しきい値電圧を設定する拡散層13を形成する。この後、ゲート酸化膜14を成長させ、その上にゲート電極となるポリシリコン膜15を成長させる。ついで、ポリシリ

コン膜15にリンを気相拡散し低抵抗膜とする。さらに、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜16を所望のレジストパターンに形成し、このレジストパターンをマスクとして、ポリシリコン膜15をドライエッチにより選択除去しゲート電極とする。このときの状態は第2図(a)に示される。次に、レジスト膜16を除去し、第2図(b)に示すように、素子分離領域12のエッジ部の段差部などで除去しきれなかったポリシリコン膜15のエッチ残渣がポリシリコン同層間の電氣的短絡の原因とならぬように、熱酸化法を用いてポリシリコン膜15のエッチ残渣を酸化し、絶縁物とする。このとき、同時にポリシリコンからなるゲート電極の側壁および表面も酸化される。さらに、このときに酸化がゲート電極部のゲート酸化膜14へ侵食し、ポリシリコン膜15が持ち上げられて、ゲート電極の両端19でゲート酸化膜厚が増加するゲートバースピークと呼ばれる形状となり実効的なチャンネル長の減少が発生することがある。

することのできるMOS型半導体装置の製造方法を提供することを目的とするものである。

課題を解決するための手段

上記問題を解決するために、本発明のMOS型半導体装置の製造方法は、ポリシリコンの酸化工程前に、耐酸化性被膜でポリシリコンからなるゲート電極の側壁部を覆う処理を施すものである。

さらに、本発明は、ゲート電極の側壁部を耐酸化性被膜で覆う工程として、ポリシリコンからなるゲート電極上に耐酸化性被膜を形成したのち、上記酸化性被膜を所望の形状にエッチングし、耐酸化性被膜でゲート電極の側壁を覆う処理を施すものである。

作用

上記構成によれば、ポリシリコンからなるゲート電極の側壁部を耐酸化性被膜で覆うことで、ゲート電極の側壁部が酸化されず、ゲート長が酸化により減少することなく、ポリシリコン膜のエッチ残渣を酸化することができる。

実施例

発明が解決しようとする課題

しかしながら上記の従来の製造方法では、ポリシリコン膜15からなるゲート電極の表面が酸化され絶縁物となるため、導電性を有した実効的なゲート電極の寸法が細くなり、さらには、ゲートバースピーク形状となることで、MOS型半導体装置のチャンネル長が変化する。また、リンを拡散されたポリシリコン膜15は、増速酸化現象でシリコン基板11に比べて酸化速度が著しく速いため、酸化を高い精度で制御する必要が生じ、工程が複雑になり、制御精度が損なわれた時には、MOS型半導体装置の特性にばらつきが生じるといった問題があった。さらには、あらかじめ酸化によって減少するゲート長分を、パターン寸法に加えて補正するための余分な面積を必要とし、MOS型半導体装置の高集積化を妨げるという問題を有していた。

本発明は上記した従来の問題点を解決するもので、MOS型半導体装置のゲート電極の寸法を変えることなく、ポリシリコンのエッチ残渣を酸化

以下本発明の一実施例について図面を参照しながら説明する。

第1図(a)～(d)は本発明の一実施例におけるMOS型半導体装置の製造方法の一部分の工程断面図を示す。第1図において、1はシリコン基板、2は素子分離領域、3は拡散層、4はゲート酸化膜、5はポリシリコン膜、6はレジスト膜、7は耐酸化性被膜としての窒化シリコン膜である。

まず、シリコン基板1に既知の技術にて厚い酸化膜の素子分離領域2を形成する。次に、シリコン基板1の中にイオン注入を行い、しきい値電圧を設定する拡散層3を形成する。この後、ゲート酸化膜4を成長させ、その上にゲート電極となるポリシリコン膜5を成長させる。ついで、ポリシリコン膜5にリンを気相拡散し低抵抗膜とする。さらに、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜6を所望のレジストパターンに形成し、このレジストパターンをマスクとして、ポリシリコン膜5をドライエッチにより選択除去しゲ

ート電極とする。このときの状態は第1図(a)に示される。次に、レジスト膜6を除去し、第1図(b)に示すように、周知のCVD法により窒化シリコン膜7を厚さ $0.1\mu\text{m}$ に成長させる。次に、第1図(c)に示すように、窒化シリコン膜7をポリシリコン膜5からなるゲート電極の側壁部を残すように異方性エッチする。さらに、第1図(d)において、素子分離領域のエッジ部の段差部などで除去しきれなかったポリシリコン膜5のエッチ残渣がポリシリコン同層間の電氣的短絡の原因とならぬように、熱酸化法を用いてポリシリコン膜5のエッチ残渣を酸化し、絶縁物とする。以降は公知の技術にて、MOS型半導体装置を形成することができる。8はポリシリコン膜5上の酸化されたポリシリコン膜である。

なお、本実施例では、ポリシリコン膜5からなるゲート電極の側壁部を覆う耐酸化性被膜として、窒化シリコンを用いたが、炭化シリコン、酸化アルミなどの耐酸化性を有する被膜であれば有効であることは言うまでもない。

装置の製造方法の工程を説明する断面図である。

1…シリコン基板、2…素子分離領域、3…拡散層、4…ゲート酸化膜、5…ポリシリコン膜、6…レジスト膜、7…窒化シリコン膜（耐酸化性被膜）、8…酸化されたポリシリコン膜。

代理人 森 本 義 弘

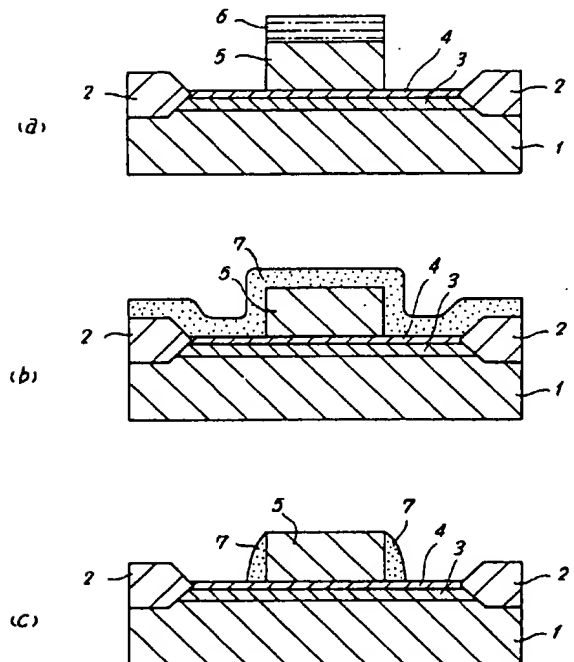
このように本実施例によれば、ポリシリコン膜からなるゲート電極の側壁部を耐酸化性被膜で覆うことで、ゲート電極の側壁部が酸化されず、MOS型半導体装置のゲート長を変えことなく、エッチ残渣を酸化して絶縁物とすることができる。発明の効果

以上本発明のMOS型半導体装置の製造方法によれば、ポリシリコンからなるゲート電極の側壁部を酸化することなく、ポリシリコンのエッチ残渣を酸化することができ、ゲート長のばらつきの少ない製造方法を提供することができる。また、酸化によってゲート長が変化しないため、デバイス特性の安定性が得られ、また、ゲート長のポリシリコン酸化工程での減少に対する補正を加えるための面積を必要とせず、特に、高集積回路の超微細半導体装置の形成などにおいて優れている。

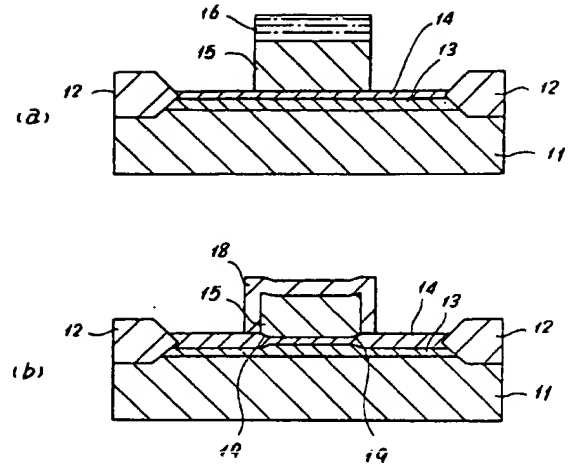
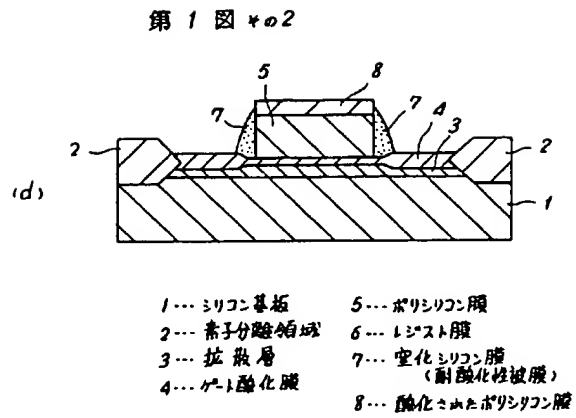
#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例におけるMOS型半導体装置の製造方法の工程を説明する断面図、第2図(a)(b)は従来のMOS型半導体

第1図 4の1



第2図



PAT-NO: JP401258472A

DOCUMENT-IDENTIFIER: JP 01258472 A

TITLE: MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: October 16, 1989

INVENTOR-INFORMATION:

NAME

KISHIMOTO, MIKIO

KAJITANI, ATSUHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP63086900

APPL-DATE: April 8, 1988

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 148/DIG.53, 438/FOR.424

ABSTRACT:

PURPOSE: To enable an etching residue of polysilicon to be oxidized without oxidizing the side wall of a gate electrode by a method wherein the side wall of the gate electrode formed of polysilicon is made to be covered with an oxidation resistant coating before an oxidizing process of polysilicon is performed.

CONSTITUTION: An element isolating region 2 of a thick oxide film is formed on a silicon substrate 1, which is subjected to an ion implantation to form a diffusion layer 3. Next, a gate oxide film 4, a polysilicon film 5, and a

resist 6 are formed, and then a gate electrode is built through an etching. Next, the resist film 6 is removed, and a silicon nitride film 7 is made to grow. A process follows, where an anisotropic etching is performed so as to leave the silicon nitride film 7 unremoved on the side wall of the gate electrode formed of the polysilicon film 5. And, the etching residue of the polysilicon film 5 left unre moved on the step of edges of the element isolating region 2 is made to be an insulator by oxidizing through a thermal etching method so as to prevent the residue from causing a short circuit between the polysilicon layers.

COPYRIGHT: (C)1989,JPO&Japio